

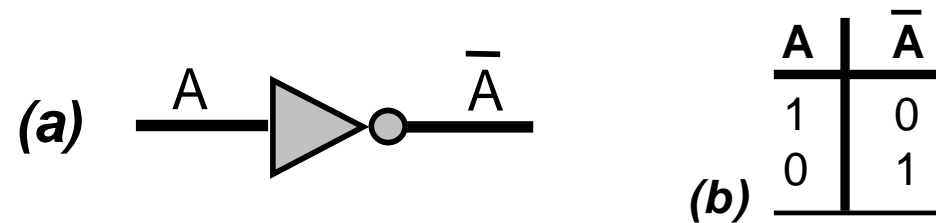
# OSNOVNA LOGIČKA KOLA I REALIZACIJE

Osnovi elektronike  
Studije primijenjenog računarstva

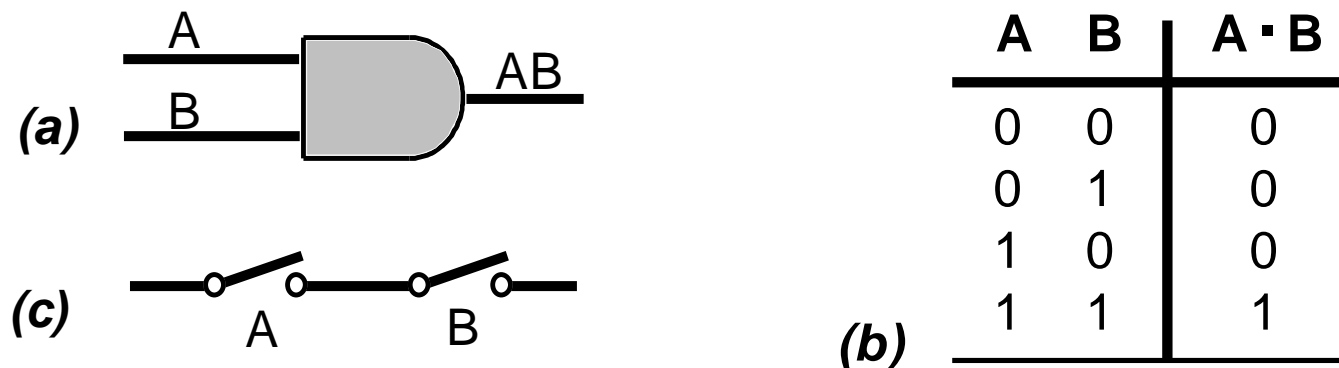
# OSNOVNA LOGIČKA KOLA

Realizacija prekidačkih funkcija vrši se pomoću logičkih kola.

Postoje logička kola koja obavljaju različite logičke funkcije a u nastavku će biti pokazana realizacija osnovnih logičkih kola.

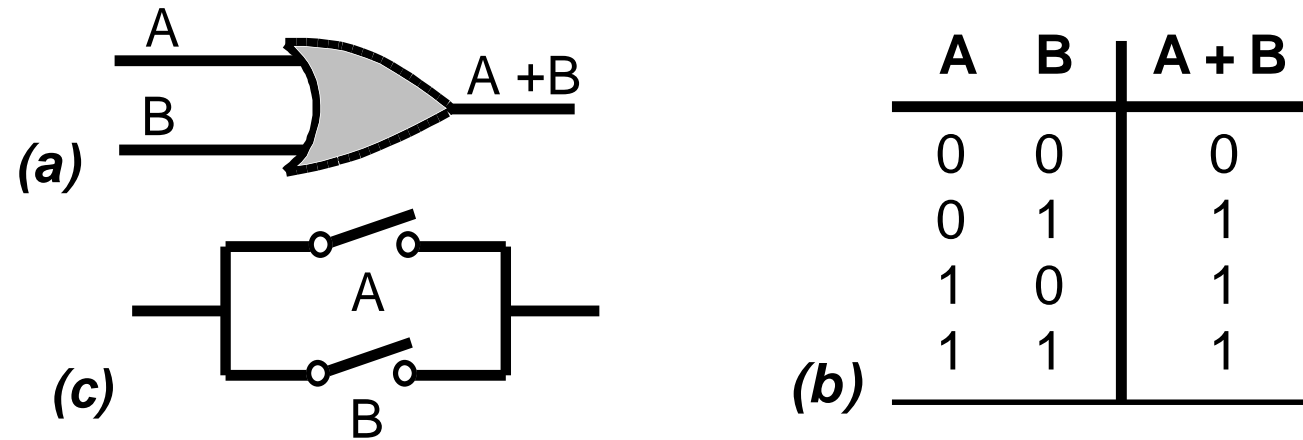


Slika 1: Invertor (Logičko "NE" kolo): a) Simbol; b) Funkciona tabela.

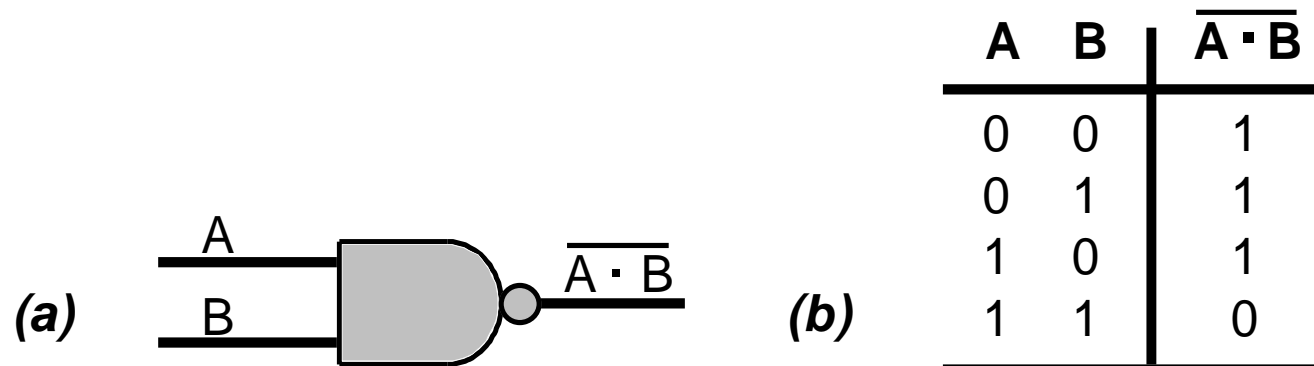


Slika 2: Logičko kolo "I": a) Simbol; b) Funkciona tabela; c) Ilustracija.

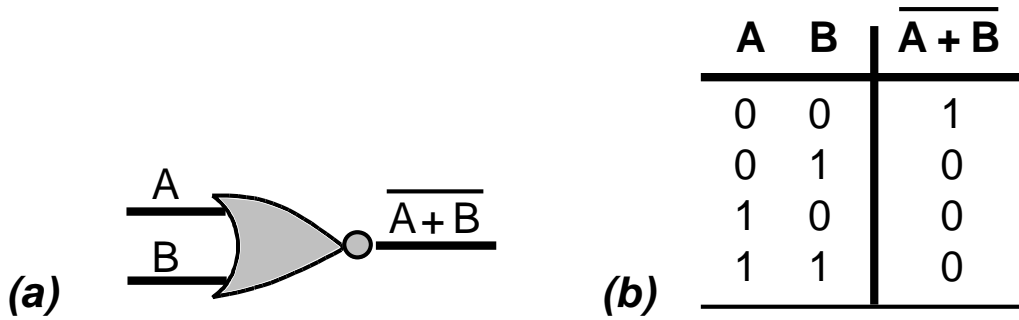
# OSNOVNA LOGIČKA KOLA



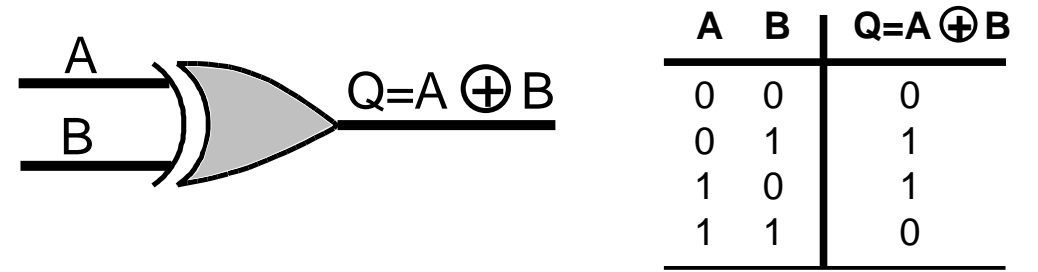
Slika 3: Logičko kolo "ILI": a) Simbol; b) Funkciona tabela; c) Ilustracija.



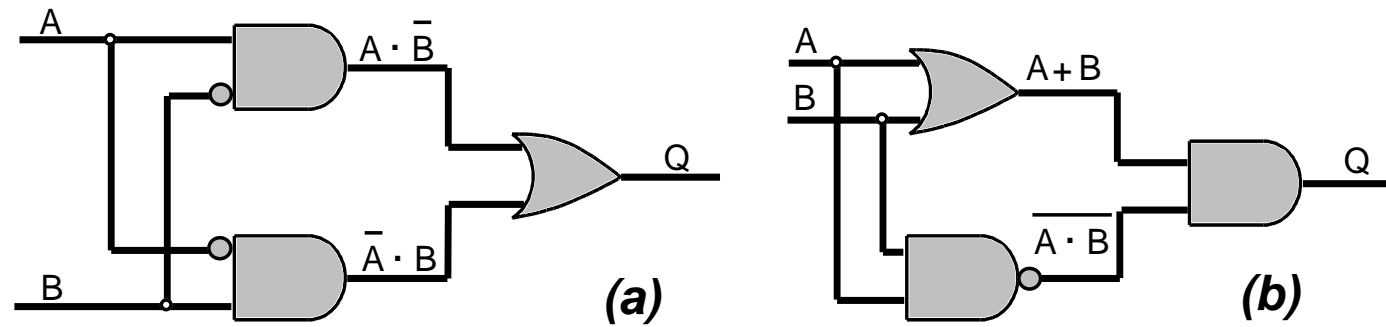
Slika 4: Logičko kolo "NI": a) Simbol; b) Funkciona tabela.



Slika 5: Logičko kolo "NILI": a) Simbol); b) Funkciona tabela.



Slika 6: Logičko kolo "EX ILI": a) Šematski prikaz; b) Funkciona tabela.



Slika 7: Logičko kolo "EX ILI":

a) Realizacija na osnovu :  $Q = A \cdot \bar{B} + \bar{A} \cdot B$

b) Realizacija na osnovu :  $Q = (A + B) \cdot (\bar{A} + \bar{B}) = (A + B) \cdot (\overline{A \cdot B})$

# REALIZACIJE OSNOVNIH LOGIČKIH KOLA

- Više tehnika za realizaciju logičkih kola
- Osnovni kriterijumi na osnovu kojih se vrednuju logička kola su:
  - ***što veći stepen integracije,***
  - ***što veća brzina rada i***
  - ***što manja disipacija***

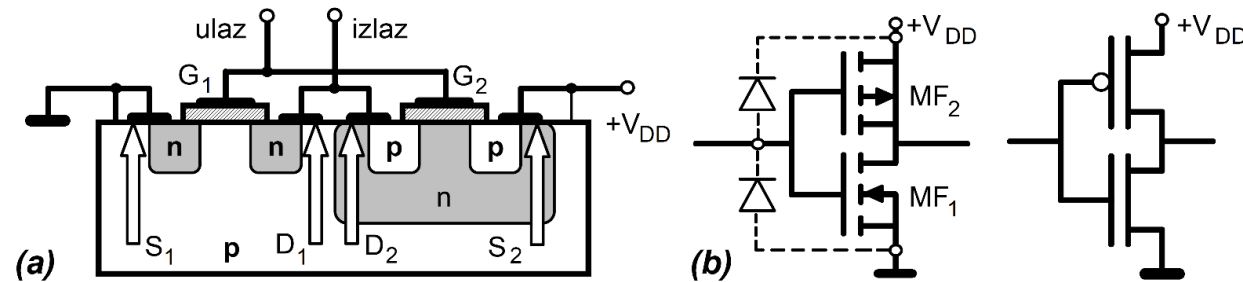
U nastavku će biti obrađena CMOS tehnologija

# CMOS LOGIČKA KOLA

- Najpogodnija, za kola sa vrlo visokim stepenom integracije (VLSI), su tzv. CMOS kola, koja koriste komplementarne MOSFET-ove.
- **Complementary** MOS
- Upotrijebljeni i **n-tip** i **p-tip** MOS tranzistora
  - p-tip
    - Povezan sa + naponom
    - Podiže izlazni napon kada je ulaz nula.
  - n-tip
    - Povezan sa masom
    - Obara izlazni napon kada je ulaz jedinica.

# CMOS LOGIČKA KOLA

- Šema CMOS invertora data je na slici
- Sa nje se jasno vidi da su, u realizaciji, upotrijebljena dva MOSFET-a, i to **MF<sub>1</sub>** koji je n-kanalni (NMOS) i **MF<sub>2</sub>** koji je p-kanalni (PMOS)

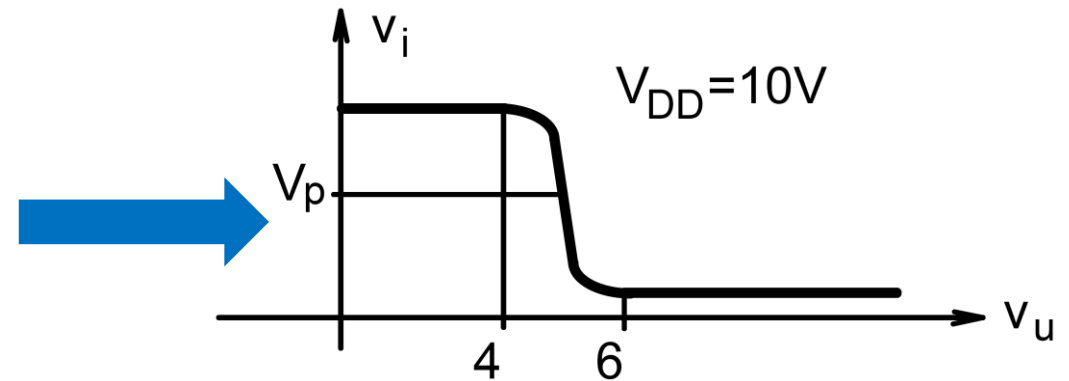
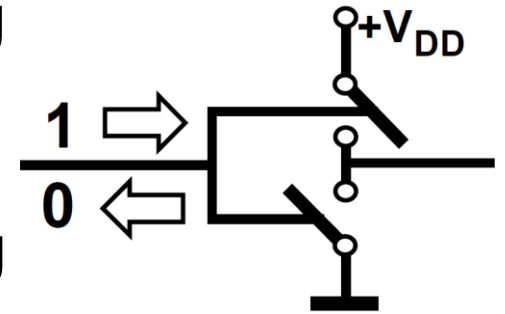


CMOS Invertor: a) Struktura; b) Šema sa do sada korišćenim i alternativnim simbolima za MOSFET.

- Princip rada invertora:
- Ukoliko je na **ulazu visok naponski nivo**, **provodiće MF<sub>1</sub>**, dok će **MF<sub>2</sub>** biti **zakočen**
  - Pad napona na **MF<sub>1</sub>** će biti veoma mali (reda 10mV), te je, na taj način, izlaz praktično spojen sa masom (moguće je umjesto mase koristiti negativne napone, ali se to rjeđe radi)
- Suprotno tome, ukoliko je na **ulazu nizak naponski nivo**, **provodiće MF<sub>2</sub>** dok će **MF<sub>1</sub>** biti **zakočen**, pa će, u tom slučaju, izlaz praktično biti spojen sa naponom napajanja

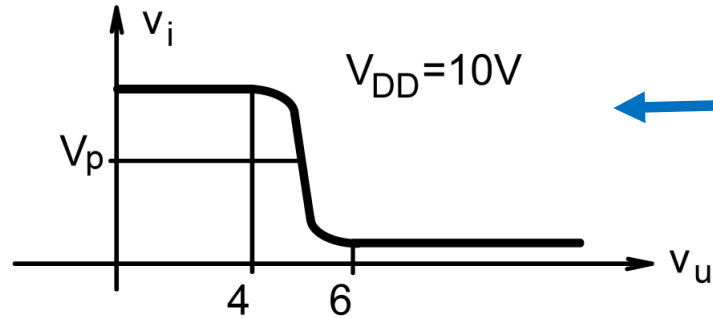
# CMOS LOGIČKA KOLA

- Ilustrativna šema invertora je data na slici
- Jedinica "gura" i izaziva otvaranje gornjeg i zatvaranje donjeg kontakta, te je rezultat na izlazu nula
- Nula "vuče" i izaziva otvaranje donjeg i zatvaranje gornjeg kontakta, te je rezultat na izlazu jedinica
- U oba slučaja **na izlazu se dobija invertovana vrijednost sa ulaza**
- Napomenimo da promjena stanja nije trenutna, već se odvija postupno
- U jednom intervalu, oba MOSFET-a provode. Stoga, realna prenosna karakteristika CMOS invertora izgleda kao na slici





# CMOS LOGIČKA KOLA

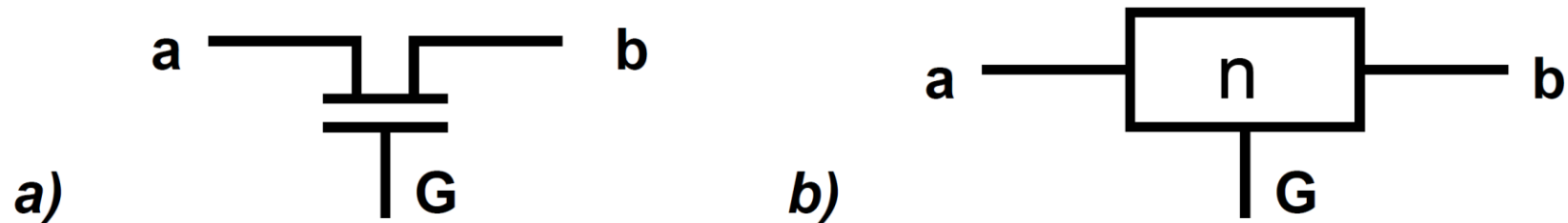


← *Prenosna karakteristika CMOS invertora.*

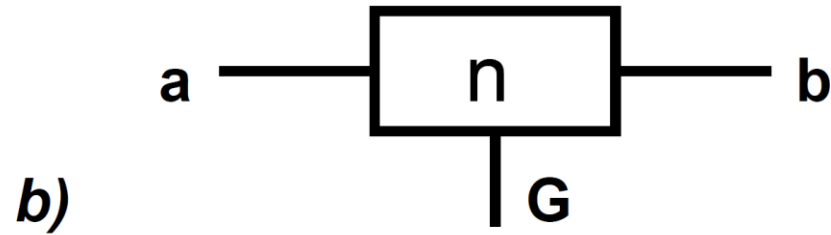
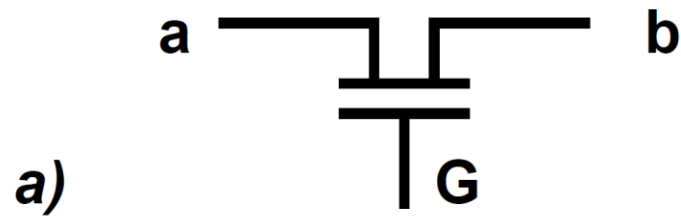
- U praktičnim realizacijama teži se da prelazna oblast bude što kraća
- Uvijek se usvaja neki napon iznad kojeg se nalazi nivo logičke jedinice i, veoma često se ista vrijednost usvaja za gornju granicu logičke nule
- Ovaj napon se naziva napon praga logičkog kola ( $V_p$ ) i obično je, kod CMOS kola, jednak polovini napona napajanja logičkog kola ( $V_{DD}/2$ )
- Ulazne struje kod ovih kola praktično su jednake nuli
- Naponi, koji se koriste za napajanje CMOS kola, kreću se između 3V i 15V
- U cilju zaštite kola od statičkog elektriciteta, dodaju se tzv. zaštitne diode

# CMOS LOGIČKA KOLA

- U prethodnom razmatranju analizirali smo invertor na bazi CMOS tranzistora
- Postavimo sada pitanje neophodnosti **istovremenog korišćenja n-kanalnog - NMOS i p-kanalnog - PMOS tranzistora**
- Da bi shvatili ovo, posmatrajmo prekidačka svojstva NMOS i PMOS tranzistora:



*Slika 8 - a) Simbol; b) Šematski prikaz NMOS tranzistora.*

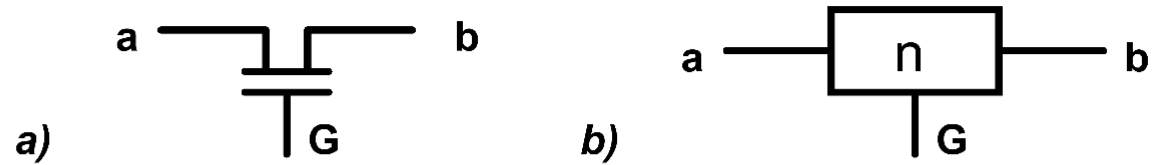


- Ukoliko je na **gejtu doveden napon logičke jedinice**, NMOS tranzistor provodi, i tada se **ima stanje zatvorenog prekidača**
- U tom slučaju, ako je na ulazu "a" napon logičke nule, zbog malog pada napona između drena i sorsa, i na izlazu "b" će biti napon logičke nule
- Međutim, ukoliko je na ulaz "a" doveden napon logičke jedinice, onda će i na izlazu "b" biti napon logičke jedinice (po svojoj vrijednosti veoma blizak ulaznom naponu)
- To znači da će i na gejtu i na sorsu biti napon logičke jedinice, te je veoma lako moguće da, zbog **nedovoljnog napona između gejta i sorsa**, dođe do **zakočenja tranzistora**, što bi imalo za posljedicu prekid prenosa signala sa ulaza na izlaz (otvoren prekidač)

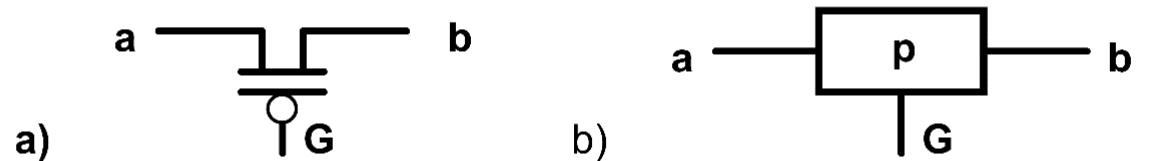
# CMOS LOGIČKA KOLA

- **Dakle, koristeći NMOS kolo, jasno je da se logička nula pouzdano prenosi sa ulaza na izlaz, dok je prenos logičke jedinice nepouzdan**

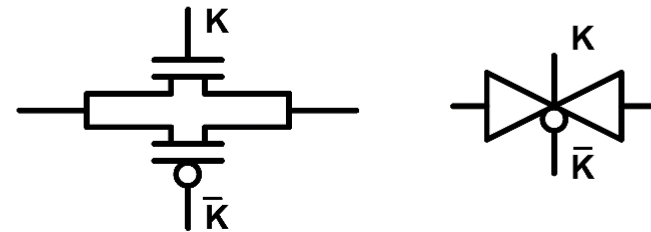
Zašto dva tranzistora?



NMOS tranzistor: a) Simbol; b) Šematski prikaz;



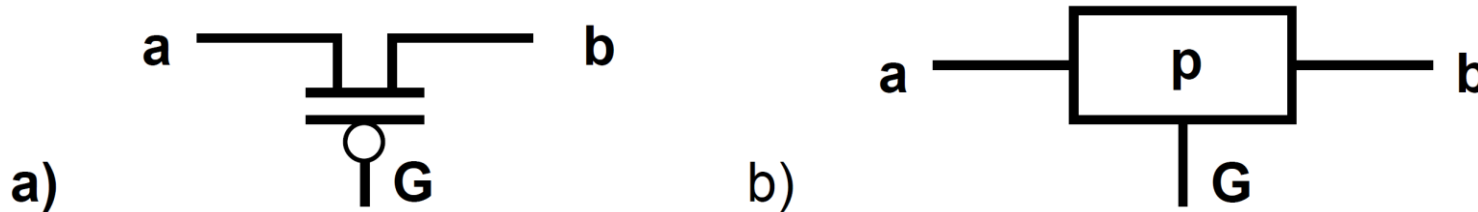
PMOS tranzistor: a) Simbol; b) Šematski prikaz;



Bilateralni CMOS prekidač.

# CMOS LOGIČKA KOLA

- Posmatrajmo sada PMOS tranzistor u ulozi prekidača

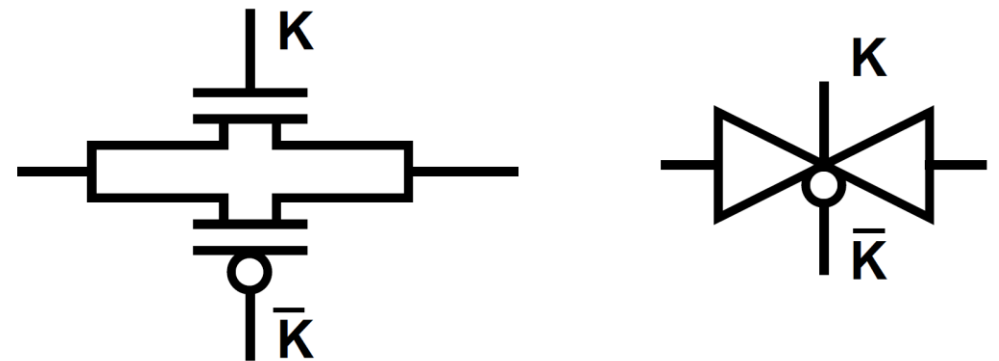


*Slika 9 - a) Simbol; b) Šematski prikaz PMOS tranzistora.*

- Imajući u vidu prethodnu analizu, i činjenicu da ovaj tranzistor ima suprotna svojstva od NMOS tranzistora, slijedi da će se preko PMOS tranzistora, **dok je na gejtu napon logičke nule**, pouzdano prenositi logička jedinica sa ulaza "a" na izlaz "b", dok će prenos logičke nule biti nepouzdan
- Dakle, kombinacijom NMOS i PMOS tranzistora može se ostvariti pouzdan prenos i logičke nule i logičke jedinice

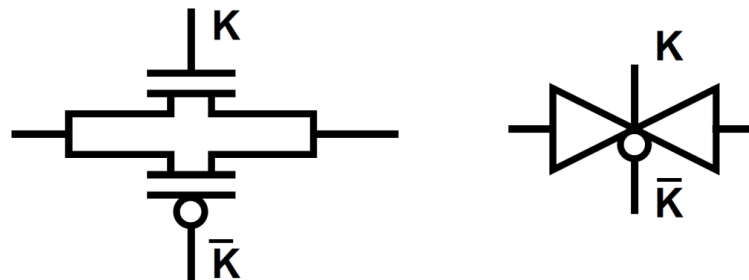
# CMOS LOGIČKA KOLA

- Imajući ovo u vidu, prekidači se izvode tako da se upotrebljavaju zajedno jedan i drugi tip MOS tranzistora, tako da jedan drugog udopunjavaju, te se, stoga, kola sa takvom kombinacijom nazivaju **komplementarna MOS kola, odnosno CMOS kola**
- Takozvani bilateralni CMOS prekidač prikazan je na slici



# CMOS LOGIČKA KOLA

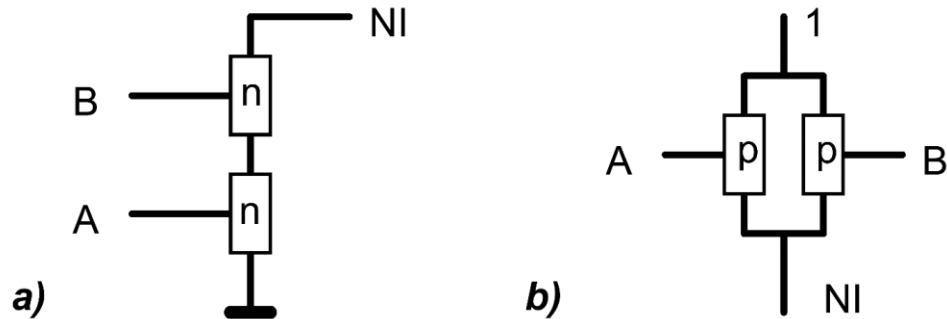
- Očigledno, za kontrolni napon  $K$  vrijednosti logičke jedinice oba MOS tranzistora provode, tj. prekidač je zatvoren, dok su za kontrolni napon  $K$  vrijednosti logičke nule oba tranzistora zakočena, pa je prekidač otvoren
- Naziv bilateralni potiče otuda što su primijenjena kola NMOS i PMOS simetrična, tako da je, sa aspekta prenosa informacija, svejedno sa koje na koju stranu se to radi.



**Slika 10 - Bilateralni CMOS prekidač**

# POSTUPAK PROJEKTOVANJA LOGIČKIH CMOS KOLA ZA PROIZVOLJNU FUNKCIJU

- Sada se, već, možemo upustiti u razmatranje postupka projektovanja logičkih CMOS kola za proizvoljnu funkciju
- Pri projektovanju, uputno je prvo logičku funkciju realizovati pomoću **NMOS** tranzistora čiji kraj će biti vezan na masu, **zbog pouzdanog prenosa logičke nule**
- Istu logičku funkciju treba realizovati i pomoću **PMOS** tranzistora, čiji kraj će biti vezan na logičku jedinicu, **radi pouzdanog prenosa logičke jedinice**

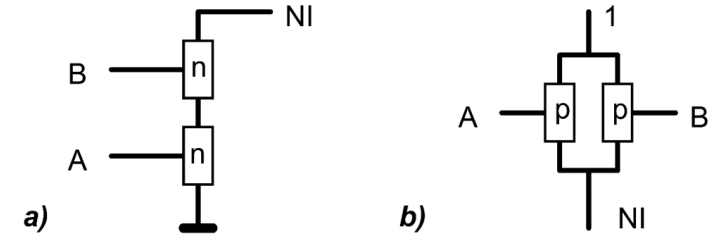


*a) Dio NI kola u realizaciji sa NMOS tranzistorima;*

*b) Dio NI kola u realizaciji sa PMOS tranzistorima.*



# POSTUPAK PROJEKTOVANJA LOGIČKIH CMOS KOLA ZA PROIZVOLJNU FUNKCIJU

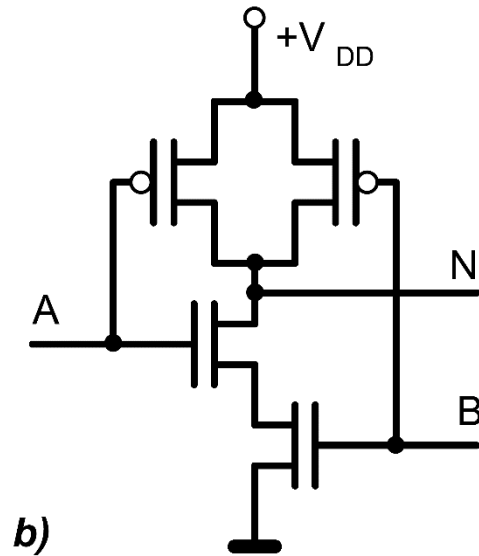
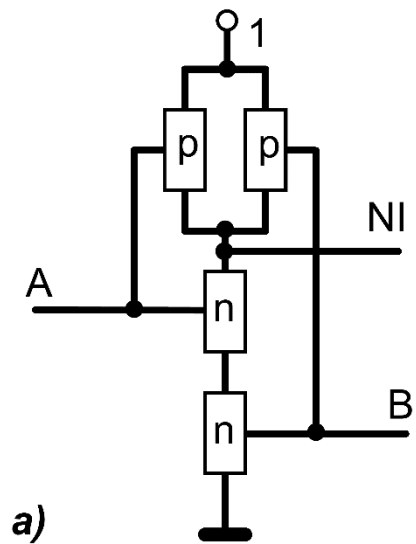


a) Dio NI kola u realizaciji sa NMOS tranzistorima;

b) Dio NI kola u realizaciji sa PMOS tranzistorima.

- Prilikom projektovanja treba imati na umu da **redna veza prekidača (u ovom slučaju NMOS kola) obavlja "I" funkciju**, ali kako se **u našem slučaju ovi tranzistori vežu za masu, to će data veza obavljati invertovanu "I", odnosno "NI" funkciju**
- Kada završimo prvi dio "NI" kola pomoću NMOS tranzistora, prelazimo na projektovanje drugog dijela pomoću PMOS tranzistora
- Tada, imajući u vidu suprotna svojstva PMOS u odnosu na NMOS tranzistore, **paralelna veza PMOS kola biće ekvivalentna rednoj vezi NMOS kola**
- Vezivanjem ovakva dva dijela kola, dobija se "NI" kolo u CMOS tehnologiji kao na slici

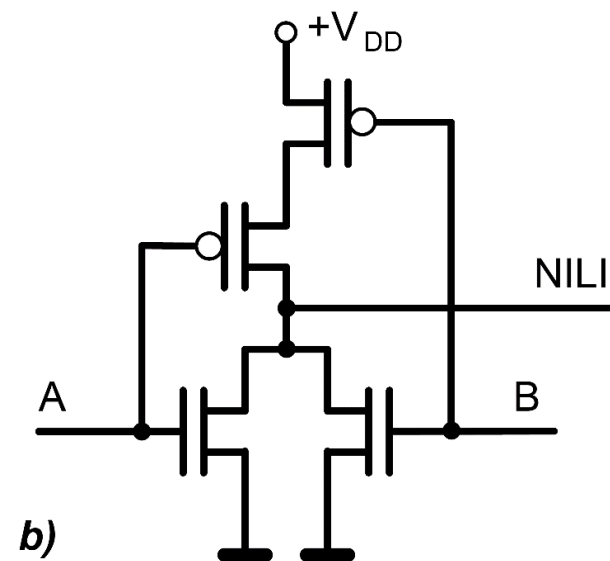
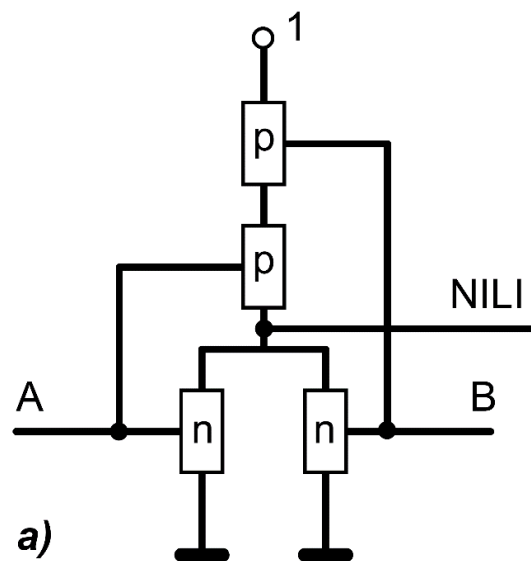
# POSTUPAK PROJEKTOVANJA LOGIČKIH CMOS KOLA ZA PROIZVOLJNU FUNKCIJU



*NI kolo: a) Strukturna šema; b) Realizacija.*

# POSTUPAK PROJEKTOVANJA LOGIČKIH CMOS KOLA ZA PROIZVOLJNU FUNKCIJU

- **Projektujemo sada "NILI" kolo**
- Očigledno je da **NMOS tranzistore treba vezati paralelno**, što uz činjenicu da su vezani na masu, obezbjeđuje invertovanu "ILI", odnosno "NILI" funkciju
- Drugi dio "NILI" kola se dobija jednostavno, tako što se **PMOS tranzistori vežu redno** (suprotno NMOS tranzistorima)
- Realizacija "NILI" kola u CMOS tehnologiji prikazana je na slici

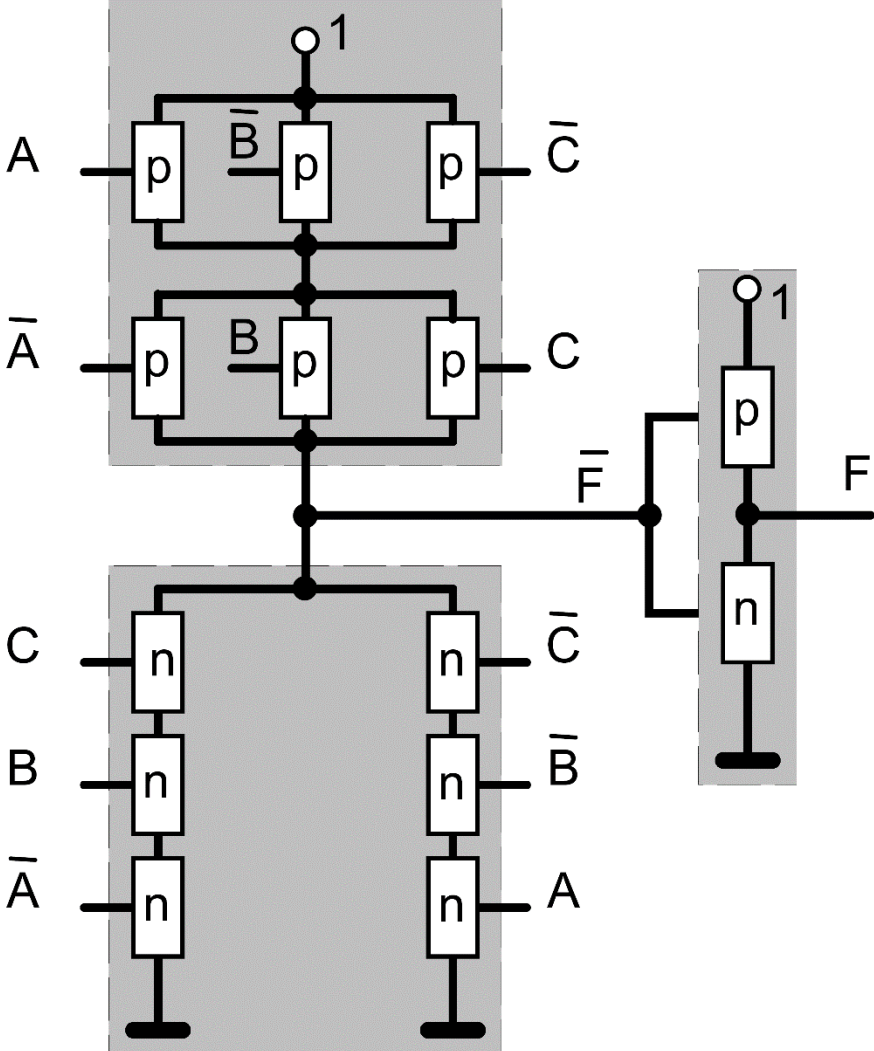


*NILI kolo: a) Strukturalna šema; b) Realizacija*

# POSTUPAK PROJEKTOVANJA LOGIČKIH CMOS KOLA ZA PROIZVOLJNU FUNKCIJU

- Na kraju, projektujemo logičko kolo za neku proizvoljnu logičku funkciju, na primjer za funkciju  $F = \overline{A}BC + A\overline{B}\overline{C}$
- Projektujući prvi dio sa NMOS tranzistorima (**za pouzdan prenos logičke nule**) jasno je da treba **A komplement** vezati na red sa **B** i **C**, pa onda sve vezati paralelno sa rednom vezom **A**, **B komplement** i **C komplement** (donji dio kola sa slike na sljedećem slajdu)
- Za drugi dio, sa PMOS tranzistorima (**za pouzdan prenos logičke jedinice**) treba obratno postupiti - paralelnu vezu **A komplement**, **B** i **C** treba redno vezati sa paralelnom vezom **A**, **B komplement** i **C komplement** (gornji dio kola sa slike na sljedećem slajdu)
- Na ovaj način, na zajedničkom izlazu, dobija se invertovana funkcija  $F$ , jer se, kao što je ranije istaknuto, I funkcija spaja na masu, te da bi se dobila funkcija  $F$ , izlaz iz kola
- treba invertovati

Strukturna šema realizacije logičke funkcije  $F = \overline{A}BC + A\overline{B}\overline{C}$



Realizacija logičke funkcije  $F = \bar{A}BC + A\bar{B}\bar{C}$  u CMOS tehnologiji

